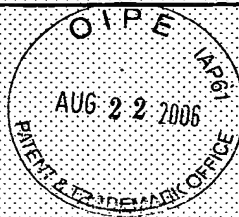


PAT-NO: JP359100613A

DOCUMENT-IDENTIFIER: JP 59100613 A

TITLE: CHARACTERISTIC VARIABLE SWITCHED CAPACITOR
FILTER

PUBN-DATE: June 9, 1984



INVENTOR-INFORMATION:

NAME

KATO, SEIJI

KANEKO, KAZUHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP57210146

APPL-DATE: November 30, 1982

INT-CL (IPC): H03H019/00

ABSTRACT:

PURPOSE: To attain easily circuit integration by providing a sample-and-hold circuit, a delay circuit and a weight coefficient generator so as to decrease the number of capacitors even if the number of kinds of filter characteristic variation is increased.

CONSTITUTION: A voltage sampled and held by the sample-and-hold circuit 1, a signal delaying the voltage by one sampling period at delay circuits 5', 6', an output voltage delayed by one sampling period during operation and a signal delayed by one sampling period at a delay circuit 7' control charges passing through capacitors CA-1∼CA-5 with 1 or 0 of weight coefficients (a)∼(e)

from the weight coefficient generator 16. The charges passing through the capacitors CA-1~CA-5 are transferred to a capacitor CB at the same time and summed. Thus, the characteristic variable switched capacitor filter is obtained. In varying the characteristic of the circuit, since the number of capacitors is less, and the capacitors CA, CB only are to be noted for the capacitance value, the circuit integration is attained easily.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59-100613

⑫ Int. Cl.³
H 03 H 19/00

識別記号

庁内整理番号
8124-5J

⑬ 公開 昭和59年(1984)6月9日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 特性可変スイッチド・キャパシタ・フィルタ

⑮ 特 願 昭57-210146

⑯ 出 願 昭57(1982)11月30日

⑰ 発 明 者 加藤誠治
川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 金子和弘

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

特性可変スイッチド・キャパシタ・フィルタ

2. 特許請求の範囲

入力電圧をサンプルホールドした入力信号及びそれをサンプリング周期の整数倍の時間遅らした信号及び出力電圧をサンプリング周期の整数倍の時間遅らした信号毎の夫々の端子と、演算増巾器の入力端子間に、夫々両端にスイッチを有する同一容量の入力容量を接続し、該演算増巾器の入力端子と出力端子間には容量容量CB及び両端にスイッチを有する該容量容量CBと容量の等しい容量CB及び電荷放電用スイッチを接続し、該演算増巾器の出力と出力端子間にサンプルホールド回路を設けた構成とし、各入力容量のスイッチを2進数の係数に従って制御し、上記夫々の端子よりの各入力信号の電荷の該容量容量CBへの転送を逐次的に行ない、かつ該容量容量CBに転送されてきた電荷を、サンプリング周期の1/Nの時間毎に所定の回数容量CBの両端のスイ

ッチを動作させて断絶し、しかる後該演算増巾器の出力信号をサンプルホールドして出力電圧とした後該容量容量CBの電荷を該電荷放電用スイッチにより放電させ、又新たに上記の動作を繰返すことを特徴とする特性可変スイッチド・キャパシタ・フィルタ。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明はフィルタ特性を任意に変更設定し得るプログラマブル・スイッチド・キャパシタ・フィルタに係り、特に、フィルタ特性の可変範囲を多くしても、使用する容量の数を少なく出来るようにした特性可変スイッチド・キャパシタ・フィルタに関する。

(B) 従来技術と問題点

スイッチとキャパシタと演算増巾器とを組合せたスイッチド・キャパシタ・フィルタ(以下SCPと略称する)は、MOS LSI 技術等の発達によりモノリシック集積回路化が可能になり、又フィルタ特性はキャパシタの容量そのものではなく、容

益比で決まり、温度特性が優れているので、各種の用途に開発が進められている。

以下、従来の特性可変スイッチド・キャパシタ・フィルタを図を用いて説明する。

第1図に従来の特性可変スイッチド・キャパシタ・フィルタの回路のブロック図を示す。

本例は、特性を決定するキャパシタを希望する可変特性の種類だけ用意して、切換接続することによりフィルタ特性を可変とするものである。

第1図において、LG1, LG2は論理回路、Ca, CbはK, C, K, Cを構成するキャパシタ、SW16, SW17はキャパシタの並列接続数を決めるスイッチである。即ち論理回路LG1, LG2によりスイッチSW16, SW17を制御してキャパシタCa, Cbの並列接続数を決めることにより、K, C, K, Cの値を選定するものである。

このような構成に於いては、キャパシタCa, Cbの数だけの種類のフィルタ特性を得ることができ、更に多くの種類を得ることが望まれる場合、キャパシタの数が多くなり、所費面額が大き

-3-

(d) 発明の構成

本発明は上記の目的を達成するために、入力電圧をサンプルホールドした入力信号及びそれをサンプリング周期の整数倍の時間遅らした信号及び出力電圧をサンプリング周期の整数倍の時間遅らした信号等の夫々の端子と、演算増巾器の負入力端子間に、夫々九両端にスイッチを有する同一容量の入力容量を接続し、該演算増巾器の負入力端子と出力端子間には容量容量CB及び両端にスイッチを有する該容量容量CBと容量の等しい容量CB'及び電荷放電用スイッチを接続し、該演算増巾器の出力と出力端子間にサンプルホールド回路を設けた構成とし、各入力容量のスイッチを2進数の係数に従って制御し、上記夫々の端子よりの各入力信号の電荷の該容量容量CBへの転送を逐次的に行ない、かつ該容量容量CBに転送されてきた電荷を、サンプリング周期の1/Nの時間毎に所定の回数容量CB'の両端のスイッチを動作させて開放し、しかる後該演算増巾器の出力信号をサンプルホールドして出力電圧とした後該容量

くなるので、1チップ上に集積化するのが困難となる。

そこで、キャパシタCa, Cbをそれぞれ基準容量の $2^{-1}, 2^{-2}, 2^{-3}, \dots, 2^{-12}$ のn個のキャパシタとし、それらのキャパシタの並列接続の組合せを選択することにより、n個のキャパシタで 2^n の種類のフィルタ特性が得られるようにすることが提案されている。しかし、例えば8個のキャパシタを用意して $2^8=256$ 種類のフィルタ特性を得るようにした場合、最小容量のキャパシタは、基準容量Cの $1/256$ の容量としなければならない。即ち基準容量Cを32pFとしたとき、最小容量C_{min}は0.125pFとなり、このような微小容量のキャパシタを精度良くチップ上に製作するのは、実際上非常に困難である。

(c) 発明の目的

本発明の目的は上記の欠点に鑑み、フィルタ特性の可変種類を多くしてもキャパシタの個数が少なく済み集積回路化が容易な特性可変スイッチド・キャパシタ・フィルタの提供にある。

-4-

容量CBの電荷を該電荷放電用スイッチにより放電させ、又新たに上記の動作を繰返えすことを特徴とする特性可変スイッチド・キャパシタ・フィルタ。

(d) 発明の実施例

以下本発明の1実施例につき図に従って説明する。

第2図は本発明に使用されるスイッチド・キャパシタ集積器の構成を示すブロック図、第3図は第2図の各スイッチのオン、オフの状態を示すタイミングチャートで、 ϕ_0 はスイッチSW1, SW2, ϕ_1 はスイッチSW3, ϕ_2 はスイッチSW4, SW5の制御信号であり、 ϕ_0, ϕ_1 が"Hレベル"のとき、スイッチSW1, SW2, SW3は閉じ、また、 ϕ_1, ϕ_2 , ϕ_1 が"Lレベル"のとき、スイッチSW4, SW5, SW6, SW7はアース側に閉じる。

図中1, 4はサンプルホールド回路(以下S・Hと称す)、2はOP・AMP、3は重み係数発生器、SW1~SW7はスイッチ、CA, CB,

-74-

CB'は容量で、容量CBとCB'の値は等しい。

第2図に於いて入力電圧は、スイッチSW1が第3図φ₀に示すサンプリング周期Tでオンした時、S・H1にてサンプルホールドされ、スイッチSW4、SW5がS・H1側、OP・AMP2側に閉じると、その電荷が容量CAを流して、容量CBに送られ蓄積される。容量CBに蓄積された電荷は、第3図φ₁の"H"レベルの時、スイッチSW6、SW7がOP・AMP2の入出力端子に接続され、容量CB'によりその容量2分される。この容量CB'がOP・AMP2の入出力端子に接続される動作をサンプリング周期Tの間に8回繰り返し、8回目OP・AMP2の出力電圧を、第3図φ₈に示すサンプリング周期T後のパルスでスイッチSW2を閉じ、S・H4にてサンプルホールドする。かかる8回の動作が終ると、第3図φ₈に示す如くスイッチSW3を閉じ、容量CBに8回累積された電荷をクリアし、又初めから同じ動作を繰返す。

尚、スイッチSW6、SW7が第3図φ₁に示

-7-

但しb₁~b₈は重み係数でありタイミングとしては第3図φ₀、φ₁のB₁~B₈の"H"レベル、"L"レベルに対応し、1又は0の値である。かかる事項は基準容量の2⁻¹、2⁻²、2⁻³……2⁻⁸の8個の容量を容量CBとCB'の2個で等価的に実現し、それらの容量の並列接続の組合せの選択を、重み係数b₁~b₈を"1"レベル又は"0"レベルとすること等価的に可能としている。即ち基準容量の2⁻¹と2⁻⁸の2個を並列すると等価にするには重み係数b₁とb₈のみを"1"レベルにすればよい。

第4図は本発明に適用される巡回形フィルタの1例のブロック図である。

図中5~8は1サンプリング周期の遅延回路、9~13は重み係数乗算器、14、15は加算器を示す。

第4図の巡回形フィルタ又は出力電圧例の遅延回路7、8、重み係数乗算器12、13、加算器15のない非巡回形フィルタは、主としてデジタル値列のフィルタに用いられる公知のものである。このフィルタの伝達係数は次の如くである。

す"H"レベルで、容量CB'が容量CBに並列に接続された後(第3図φ₁の"L"レベル)は、アース側に接続され、容量CB'の電荷を放電する。尚、容量CBに第3図φ₀及びφ₁に示す最初のB₁のタイミングで容量CAを通して送られた電荷は、上記の8回の動作後は2進数の2⁻¹となり、B₂のタイミングで容量CAを通して送られてきた電荷が、2⁻²となり、B₃のタイミングで送られてきた電荷は2⁻³となる。第3図φ₀並びにφ₁が"H"レベルとなり、スイッチSW4、SW5が閉じるタイミングは、容量CBに蓄積された電荷をどの程度2進数で削減するかにより、第3図φ₀、φ₁に示す如く重み係数発生器3により、例えば2⁻⁶にしたければ、B₆の時を"H"レベルにする如く制御する。以上の動作による入出力電圧の関係を表式で示すと次の如くなる。

$$\frac{V_{out}}{V_{in}} = -\frac{CA}{CB} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + b_3 \cdot 2^{-3} + b_4 \cdot 2^{-4} + b_5 \cdot 2^{-5} + b_6 \cdot 2^{-6} + b_7 \cdot 2^{-7} + b_8 \cdot 2^{-8}) \dots \dots \dots (1)$$

-8-

$$\frac{Y}{X} = \frac{a + bZ^{-1} + cZ^{-2}}{1 - dZ^{-1} - eZ^{-2}} \dots \dots \dots (2)$$

但しXは入力電圧、Yは出力電圧、Z⁻¹=e^{-jωT}、ω=角周波数、T=サンプリング周期、a~eは各乗算器9~13により乗算される重み係数である。本発明はこの巡回形又は非巡回形フィルタをスイッチド・キャパシタ乗算器を用いて回路規模も大きくなく消費電力も少く出来るようにしたものである。

第5図は本発明の実施例の特性可変スイッチド・キャパシタ・フィルタの構成を示すブロック図である。

図中第2図と同一機能のものは同一記号で示す。5'~7'は1サンプリング周期の遅延回路、16は重み係数発生器、SW4-1、SW4-6、SW5'はスイッチで、SW4-1~SW4-6は第2図のスイッチSW4と同じタイミングで同じ動作をするもので各スイッチは重み係数発生器16にて制御される。スイッチSW5'のアース側に接続された場合は、第3図のφ₁に示す"H"レベルのタイ

-75-

-9-

-10-

ングでオンとなり、OP—AMP2側に接続された場合は第3図の61に示す“L”レベルのタイミングでオンとなる。CA—1～CA—5は同じ値の容量で第2図の容量CAに相当する。

第5図の回路は第2図の乗算器の回路を第4図の巡回形フィルタの回路に適用したものであり、各スイッチは第2図の乗算器の場合と同じ動作をする。S・H1にサンプルホールドされた電圧及びこの電圧を遅延回路5'、6'で各々1サンプリング周期遅延された信号及び演算中に1サンプリング周期遅延された出力電圧及びさらに遅延回路7'で1サンプリング周期遅延された信号は、重み係数発生器16より前に説明した(2)式の重み係数 $a_n \sim a_0$ に相当するよう前記説明の(1)式の重み係数 $b_n \sim b_0$ を1又0にし、容量CA—1～CA—5を通る電荷を制御する。又この容量CA—1～CA—5を通過する電荷は同時に容量CBに転送され加算される。従って第5図の回路は第4図の回路と等価となる。よって特性可変スイッチド・キャパシタ・フィルタが実現出来る。尚この重み係数 $a_n \sim a_0$

—11—

は巡回形フィルタのブロック図、第5図は本発明の実施例の特性可変スイッチド・キャパシタ・フィルタの構成を示すブロック図である。

図中1、4はサンプルホールド回路、3、16は重み係数発生回路、2、OP1、OP2は演算増幅器、5～8、5'～7'は遅延回路、9～13は重み係数乗算器、14、15は加算器、K1C～K1C、C、Ca、Cb、CA、CB、CB'、CA—1～CA—5は容量、SW1～SW7、SW5'、SW4—1～SW4—5、SW11～SW16はスイッチ、LG1、LG2は論理回路を示す。

代理人 弁理士 松 岡 宏 四角印

a_n に相当する重み係数は重み係数発生器16により外部より任意に与えることが出来る。又遅延回路7'関連の回路を除けば非巡回形フィルタとなる。第5図の回路は特性可変する場合キャパシタの個数が少なくてすみ又電圧の値も容量CAと容量CBの値に注目すればよいので集積回路化が容易なものとなることが出来る。

(f) 発明の効果

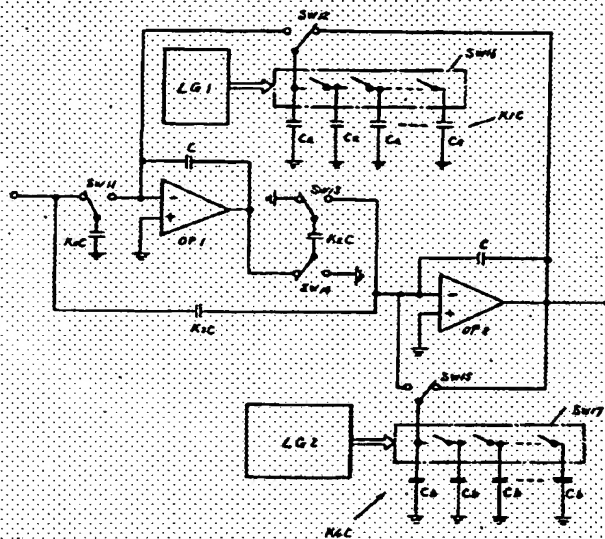
以上詳細に説明せる如く本発明によれば、使用する容量の個数も少なくよく又使用する容量の比も少なくてよいので集積化が容易となり、又容量の値をスイッチ等のストレイ容量が誤差とならない値に出来、特性の優れた特性可変スイッチド・キャパシタ・フィルタが実現出来る効果がある。

4. 図面の簡単な説明

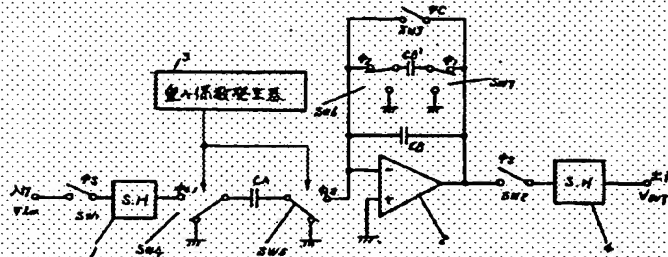
第1図は従来例の特性可変スイッチド・キャパシタ・フィルタの構成を示すブロック図、第2図は本発明に使用するスイッチド・キャパシタ・乗算器の構成を示すブロック図、第3図は第2図の各スイッチのオンオフのタイミングチャート、第4図

—12—

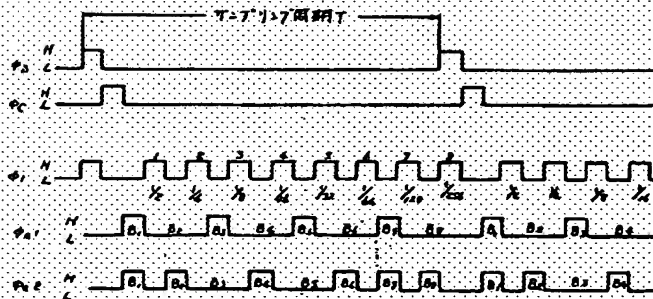
第 1 圖



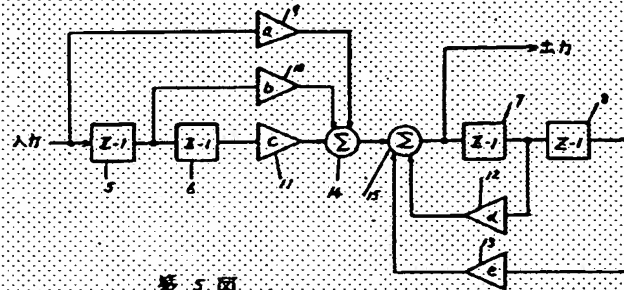
第 2 圖



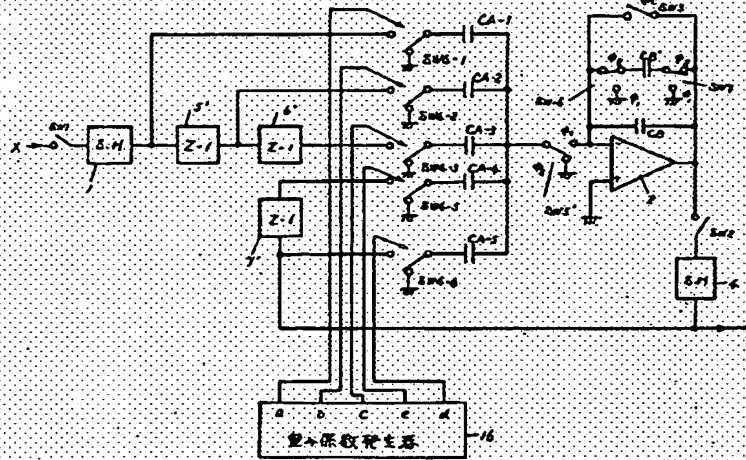
卷之四



第 4 图



第 5 图



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.